



▶ **포천 사본** 이 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출 원 번 호 : 특허출원 2001년 제 15150 호  
Application Number PATENT-2001-0015150

출원년월일 : 2001년 03월 23일  
Date of Application MAR 23, 2001

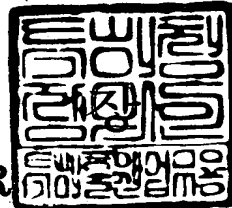
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001 08 31

특히 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2001.03.23
【발명의 명칭】	금속 게이트 형성 방법
【발명의 영문명칭】	METHOD OF FORMING A METAL GATE

## 【출원인】

【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3

## 【대리인】

【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2

## 【대리인】

【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6

## 【발명자】

【성명의 국문표기】	구자흠
【성명의 영문표기】	KU, JA HUM
【주민등록번호】	680110-1010516
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동(무지개마을) 건영아파트 1004동 1003호
【국적】	KR

## 【발명자】

【성명의 국문표기】	조만호
【성명의 영문표기】	CHO, MANN HO
【주민등록번호】	660325-1558611
【우편번호】	120-113

**【주소】** 서울특별시 서대문구 연희3동 51-32호 엘림하우스 101호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 최철준  
**【성명의 영문표기】** CHOI, CHUL JOON  
**【주민등록번호】** 720229-1639719  
**【우편번호】** 412-221

**【주소】** 경기도 고양시 덕양구 행신1동 샘터마을 301동 1304호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 허성준  
**【성명의 영문표기】** HEO, SEONG JUN  
**【주민등록번호】** 730720-1074214  
**【우편번호】** 138-240  
**【주소】** 서울특별시 송파구 신천동 시영아파트 99동 105호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 임창현 (인) 대리인  
 권혁수 (인)

**【수수료】**  
**【기본출원료】** 17 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 5 항 269,000 원  
**【합계】** 298,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

금속 게이트 전극 형성 방법에 있어서, 게이트 전극 패터닝 후 진행되는 실리콘에 대한 선택적 산화 공정을 질소 원자를 함유하는 가스를 포함하는 가스 분위기에서 진행한다. 질소 원자를 함유하는 가스를 첨가함으로써, 선택적 산화 공정에서 실리콘의 산화에는 별다른 영향을 주지 않으면서 금속 전극의 산화를 최소화 할 수 있다.

**【대표도】**

도 3b

【명세서】

【발명의 명칭】

금속 게이트 형성 방법 {METHOD OF FORMING A METAL GATE}

【도면의 간단한 설명】

도 1a 및 도 1b는 종래 금속 게이트 형성 방법에 따른 문제점을 설명하기

위한 반도체 기판의 단면도이다.

도 2a 및 2b는 종래 다른 금속 게이트 형성 방법에 따른 문제점을 설명하기

위한 반도체 기판의 단면도이다.

도 3a 및 도 3b는 본 발명에 따른 금속 게이트 형성 방법을 설명하기 위한

공정 순서에 따른 반도체 기판의 단면도이다.

\* 도면의 주요 부분에 대한 부호의 설명

100 : 반도체 기판    120 : 게이트 산화막

140 : 폴리실리콘    150 : 도전성 장벽막

160 : 금속막        180 : 캡핑막

200 : 금속 게이트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

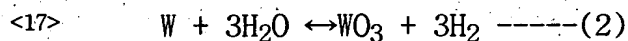
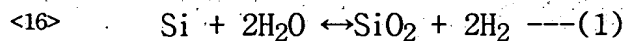
<9>        본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 더욱 상세하게는 금속 게이트 형성 방법에 관한 것이다.

- <10> 반도체 제조 공정에서 모스(MOS:metal oxide semiconductor) 트랜지스터의 게이트 전극은 일정한 두께를 가지는 도전성 막질을 반도체 기판 상에 형성하여 일정한 모양으로 식각하여 형성한다. 통상적으로 사용되는 게이트 전극 물질은 게이트 산화막에 대해서 고온에서도 우수한 계면 특성을 가지는 다결정 실리콘(폴리실리콘)이 사용된다. 하지만, 반도체 소자가 경제적인 관점에서 점점 고집적화함에 따라 통상적인 폴리실리콘 게이트 전극으로는 고집적화 추세에 부응하여 적당한 동작 속도 및 게이트 전극의 면저항을 만족시킬 수 가 없게 되었다. 이에 따라 최근 폴리실리콘 전극 상에 고용점 금속, 예를 들면, 텅스텐 등의 금속 전극을 적층하여 금속 게이트 전극을 형성하고 있다.
- <11> 하지만 금속 게이트 전극으로 사용되는 금속인 텅스텐 등은 산화가 매우 잘 되어 이상 산화(abnormal oxidation)가 일어나 여러 가지 문제점을 발생시키고 있다.
- <12> 도 1a 및 도 1b 그리고 도 2a 및 도 2b는 종래 금속 게이트 형성 방법을 설명하기 위한 반도체 기판의 단면도이다.
- <13> 먼저 도 1을 참조하면, 반도체 기판(10) 상에 게이트 산화막(12)이 형성된다. 상기 게이트 산화막(12) 상에 폴리실리콘막(14), 텅스텐막(16) 및 게이트 캡핑막(18)이 순차적으로 형성된다. 비록 도면에는 도시하지 않았지만, 상기 폴리실리콘막(14) 및 상기 텅스텐막(16) 사이에는 이들 사이의 반응을 방지하기 위한 도전성 장벽막이 더 형성된다. 이어서 상기 적층된 막질들(18,16,14,12)을 식각하여 금속 게이트 전극(20)을 형성한다. 이때, 식각에 따른 손상(참조번호 22)

및 게이트 산화막의 신뢰성을 확보하기 위해 통상적으로 산화 공정이 진행된다. 하지만 텅스텐은 실리콘에 비해서 산화 속도가 월등히 크기 때문에 도 1b에 도시된 바와 같이 텅스텐에 이상 산화(abnormal oxydation, 12b)가 일어난다.

<14> 따라서 상기와 같은 금속 게이트 전극에서 발생하는 이상 산화를 방지하기 위해 선택적 산화 공정(selective oxidation)이 널리 사용되고 있다. 선택적 산화 공정은 금속 게이트 전극 패터닝 후 게이트 산화막의 신뢰성 확보 및 식각 손상을 치유하기 위해 실리콘에 대해서만 선택적으로 산화시키고 금속에 대해서는 산화를 시키는 않는 공정이다. 소스 가스로 사용되는 산소 가스 및 수소 가스를 제어하여 결국 수증기 및 수소 가스의 분압을 조절하여 선택적으로 실리콘만을 산화 시킨다.

<15> 예를 들어, 습식 수소 산화(wet hydrogen oxydation) 같은 선택적 산화 공정은 아래와 같은 화학 반응을 제어함으로써 실리콘만을 산화시키고 있다.



<18> 즉, 적절하게 수증기 및 수소 가스 분압을 조절하여, 상기 반응식 (1)에서는 평형상태에서의 반응이 오른쪽으로 향하게 하고, 반응식 (2)에서는 왼쪽으로 향하게 하여 텅스텐의 산화를 방지한다.

<19> 하지만 상기와 같은 선택적 산화 공정은 그 공정 마진(margin)이 거의 없으며 또한 실리콘만이 산화되도록 수증기 및 수소 가스의 분압을 조절하기는 매우 어렵다. 따라서 도 2a에 나타나 바와 같이 어느 정도의 텅스텐은 산화한다. 또

한 이렇게 형성된 절연성 막질인 텅스텐 산화막(12c)은 후속 반도체 제조 공정 중의 여러 열처리 단계에서 열적 에너지(thermal energy)에 기인하여 도 2b에 도시된 바와 같이 위스커 (whisker, 24)를 형성하게 된다. 이러한 위스커(24)는 인접한 게이트 전극 사이에 전기적인 쇼트를 유발하게 된다.

<20> 위스커(24)의 발생은 텅스텐 산화막(12c) 표면의 비정질 상태(amorphous phase)와 위스커를 발생시키는 핵형성(nucleation)이 존재하기 때문이다. 따라서 후속 열처리 공정에서 열적 에너지에 의해 비정질 상태의 상기 텅스텐 산화막(12c)의 표면 운동성(surface mobility)이 증가하고 또한 이들이 핵형성 자리로 이동을 하여 그곳에서 결정화하고 이러한 과정이 반복되어 위스커가 발생한다.

<21> 따라서 위스커 발생을 방지하기 위해서는 선택적 산화 공정에서 텅스텐막의 산화를 실질적으로 억제하는 것이 필요하다.

#### 【발명이 이루고자 하는 기술적 과제】

<22> 따라서 본 발명은 상술한 제반 문제점을 해결하기 위해 제안 된 것으로서, 금속 게이트 패터닝후 진행되는 선택적 산화 공정의 신뢰성을 확보하여, 금속 산화막의 위스커 발생을 억제할 수 있는 금속 게이트 전극을 형성하는 방법을 제공함에 그 목적이 있다.

#### 【발명의 구성 및 작용】

<23> (구성)



<24> 상술한 기술적 과제를 해결하기 위한 본 발명에 따른 금속 게이트 형성 방법은, 게이트 식각후 진행되는 선택적 산화 공정의 신뢰성을 확보하기 위해 질소 원자를 함유하는 가스를 포함하는 가스 분위기에서 선택적 산화 공정을 진행하는 것을 그 특징으로 한다.

<25> 선택적 산화 공정에서 첨가되는 질소 원자를 함유하는 가스가 금속 게이트 전극을 구성하는 금속막의 산화를 방지한다. 질소를 함유하는 가스가 반응성이 큰 금속과 불안정한 결합을 하여 금속과 산소와의 결합 가능성을 줄이기 때문이다. 또한 상기 질소 원자를 함유하는 가스가 상기 선택적 산화 공정으로 형성될 수 있는 금속 산화막에서 위스커 핵형성을 억제하거나 표면 이동도를 억제하여 후속 열처리 공정 등에서 위스커 발생을 방지한다.

<26> 상기 질소 원자를 함유하는 가스로는 질소( $N_2$ ), 일산화 질소( $NO$ ), 일산화 이질소( $N_2O$ ), 또는 암모니아 등이 있으며, 이들 가스 단독 또는 혼합 가스를 첨가하여 선택적인 열산화 공정을 진행한다.

<27> 본 발명에 따르면, 종래의 선택적 열산화 공정에 비해 보다 낮은 온도에서도 선택적 산화 공정을 진행할 수 있어 그 공정 마진이 증가된다.

<28> 이하 첨부된 도면을 참조하여 본 발명의 일 실시예를 설명한다.

<29> 도 3a 및 도 3b는 본 발명의 실시예에 따른 다른 금속 게이트 형성 방법을 설명하기 위한 단면도이다.

- <30> 본 발명은 금속 게이트 형성에 관한 것으로서, 게이트 산화막 형성 이전까지 통상적으로 진행되는 공정, 예를 들어 소자 분리 공정, 웰 형성, 이온 주입 공정 등에 관하여는 설명을 생략한다.
- <31> 먼저 도 3a를 참조하면, 반도체 기판(100), 예를 들어 실리콘 기판 상에 게이트 절연막(120)인 산화막이 통상적인 방법으로 형성된다. 열산화 공정 또는 화학적 기상증착 공정을 통해 형성한다. 이어서, 금속 게이트 전극 물질로 폴리실리콘막(140), 장벽 금속막(150) 및 금속막(160) 그리고 게이트 캡핑막(180)을 차례로 형성한다. 예를 들어 상기 장벽 금속막(150)은 텅스텐 질화막으로 형성하고 상기 금속막(160)은 텅스텐으로 형성하고 상기 캡핑막(180)은 실리콘 질화막으로 형성한다. 상기 장벽 금속막(150)은 상기 폴리실리콘막(140) 및 상기 금속막인 텅스텐(160) 사이의 반응을 방지하기 위한 것이다.
- <32> 이어서, 상기 적층된 막질들(180, 160, 150, 140, 120)을 사진 공정을 통해 식각하여 원하는 금속 게이트 패턴(200)을 형성한다. 다음, 금속 게이트 패턴 형성을 위한 식각 공정으로 인한 반도체 기판의 손상을 제거하고 게이트 산화막의 신뢰성을 확보하기 위해 열산화 공정을 진행한다. 이때, 금속막(150, 160)의 산화는 최소화하면서 노출된 반도체 기판 표면에 산화막을 형성하기 위해 실리콘에 대한 선택적 산화 공정이 진행된다.
- <33> 본 발명에 따른 선택적 산화 공정은 산소 가스, 수소 가스 이외에 질소 원자를 함유한 가스를 더 포함한다. 상기 질소 원자를 함유하는 가스로는, 질소 가스( $N_2$ ), 일산화 이질소 가스( $N_2O$ ), 일산화 질소 가스( $NO$ ) 또는 암모니아( $NH_3$ )

등이 있어 있으며, 이들 가스 단독 또는 이들 가스의 혼합 가스가 첨가될 수 있다.

<34> 선택적 산화 공정에서 산소 및 수소 가스가 반응하여 수증기( $H_2O$ )가 형성된다. 결국 수증기 분위기가 되며, 상대적으로 수소를 산소에 비하여 많이 사용함으로써 수소 풍부 수증기( $H_2$  rich  $H_2O$ ) 분위기를 조성한다. 이때, 수증기 분위기를 형성하는 방식으로는 챔버 외부에서 산소 및 수소 반응으로 수증기를 형성한 후 이를 수소 가스와 혼합해서 수소 풍부 수증기를 챔버 내부로 흘려주는 방법이 있다. 물론 질소 원자를 함유하는 가스도 공급된다.

<35> 다른 방법으로, 챔버 내부에서 산소 및 수소 반응을 일으켜 수증기를 챔버 내부에서 형성하는 방법이다. 이 경우 산소에 비해 수소를 상대적으로 많이 사용함으로써 수소 풍부 수증기 분위기를 만들며, 이때에도 질소 원자를 포함하는 가스도 공급된다.

<36> 상기 질소 원자가 선택적 산화 공정 중에 반응성이 높은 금속과 반응하여 불안정한 금속 질화물을 형성함으로써 금속이 산소와 반응할 가능성을 낮추고 이에 따라 금속의 산화를 최소화한다. 이로써 선택적 열산화 공정으로 금속 산화막은 최소로 형성되며, 또한 이렇게 최소로 형성된 금속 산화막 내에 상기 질소 원자가 존재하여 표면 이동도(surface mobility)를 억제하거나 또는 질소 원자가 포함하는 에너지를 통해 위스커 핵형성 자리를 치유함으로써 후속 열처리 공정 등에서 위스커 발생을 억제한다.

<37> 상기 선택적 산화 공정을 진행 한 후의 금속 게이트 전극이 도 3b에 개략적으로 도시되어 있다. 도시된 바와 같이 노출된 실리콘 표면은 산화가 일어나지

만(참조번호 120a), 상기 금속에 대한 산화는 최소한으로 일어나며(참조번호 120b), 따라서 후속 열처리 공정을 받더라도 위스커는 발생하지 않는다.

<38> 도 4a는 폴리실리콘-텅스텐 질화막-텅스텐으로 이루어진 게이트 패턴 형성 후 종래 통상적인 선택적 산화 공정을 진행하고, 이어서 위스커 발생여부를 알아보기 위해 추가로 열처리를 진행한 후의 게이트 전극을 나타내는 전자 투과 현미경 사진이고, 도 4b 및 도 4c는 본 발명에 따른 선택적 산화 공정 이후에 추가로 열처리를 진행한후의 게이트 전극을 나타내는 전자 투과 현미경 사진이다.

<39> 먼저 도 4a를 참조하며, 종래 방법에 따라 수소 및 산소 분위기에서 약 1000℃의 온도에서 선택적 산화 공정을 진행한 직후, 질소 분위기에서 열처리를 진행한 경우이다. 도시된 바와 같이, 종래 방법에 따른 선택적 산화 공정에 의하면, 실리콘에 대한 선택적인 산화가 완전하지 못하여 텅스텐막도 동시에 산화되어 후속 열처리 공정으로 텅스텐 산화막에 위스커(24)가 발생하고 있음을 알 수 있다.

<40> 하지만 도 4b 및 도 4c를 참조하면, 본 발명에 따라 산소, 수소 그리고 질소 가스 분위기에서 선택적 산화 공정을 각각 950℃ 및 1000℃에서 진행한 후, 후속 질소 분위기의 열처리를 진행하여도 위스커가 발생하지 않음을 확인할 수 있다. 이로써, 질소 가스가 첨가된 선택적 산화 공정이 텅스텐의 산화를 거의 실질적으로 억제하고 있음을 알 수 있다. 또한 종래 1000℃ 보다 낮은 950℃의 선택적 산화 공정으로도 위스커가 발생하지 않기 때문에 공정 마진이 증가되는 잇점도 있다.

## 【발명의 효과】

- <41> 따라서 상술한 본 발명에 따르면, 선택적 산화 공정에서 질소 원자를 함유하는 가스를 산화 공정에 첨가 함으로써, 금속 게이트 전극을 구성하는 실리콘의 산화에는 최소한의 영향을 미치며 금속의 산화는 최소화 할 수 있다.
- <42> 또한 첨가되는 질소 원자가 금속 산화막의 표면 이동도 및 위스커 핵형성을 억제하여 후속 열처리 공정 등에서 금속 산화막의 위스커 발생을 효과적으로 방지할 수 있다.
- <43> 바람직한 실시예에 의거하여 본 발명이 기술되었지만, 본 발명의 범위는 여기에 한정되는 것은 아니다. 오히려, 다양한 변형 및 비슷한 배열들도 포함한다. 따라서 본 발명의 청구범위의 진정한 범위 및 사상은 다양한 변형 및 비슷한 배열을 포함할 수 있도록 가장 넓게 해석되어야 한다.

**【특허청구범위】****【청구항 1】**

실리콘 기판 상에 게이트 산화막을 사이에 두고 실리콘막-도전성 장벽막-금속막으로 이루어진 금속 게이트를 형성하는 방법에 있어서,

게이트 패터닝 후 실리콘에 대한 선택적 산화 공정을 진행하되, 상기 선택적 산화 공정은 질소 원자를 함유하는 가스를 포함하는 것을 특징으로 하는 금속 게이트 형성 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 질소 원자를 함유하는 가스는 질소, 일산화 질소, 일산화 이질소 또는 암모니아 가스이며, 상기 선택적 산화 공정은 이들 가스 단독 또는 이들 가스의 혼합가스를 포함하는 것을 특징으로 하는 금속 게이트 형성 방법.

**【청구항 3】**

제 1 항에 있어서,

상기 질소 원자를 함유하는 가스는 상기 도전성 장벽막 및 상기 금속막의 산화를 억제하는 것을 특징으로 하는 금속 게이트 형성 방법.

**【청구항 4】**

제 1 항에 있어서,

상기 질소 원자를 함유하는 가스의 질소 원자가 상기 선택적 산화 공정으로 형성되는 금속 산화막(metal oxide)에 포함되어 상기 금속 산화막의 표면 이동도

및 위스커 핵형성을 방지하는 작용을 하는 것을 특징으로 하는 금속 게이트 형성 방법.

【청구항 5】

제 1 항 내지 제 4 항중 어느 한 항에 있어서,

상기 선택적 산화 공정은, 수소 가스 및 산소 가스를 사용하는 것을 특징으

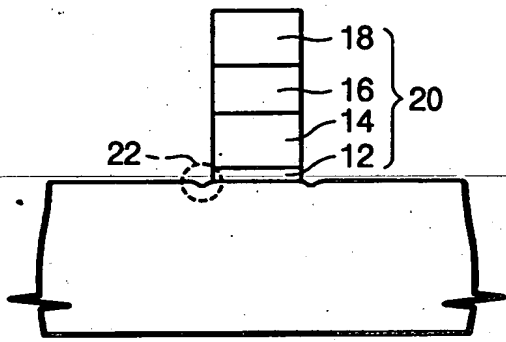
---

로 하는 금속 게이트 형성 방법.

【도면】

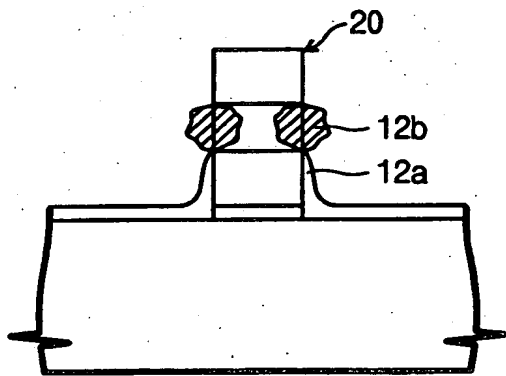
【도 1a】

(종래 기술)



【도 1b】

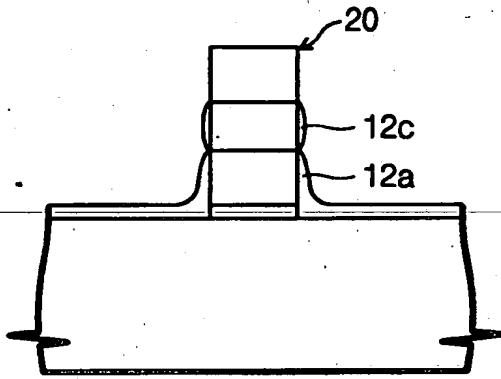
(종래 기술)





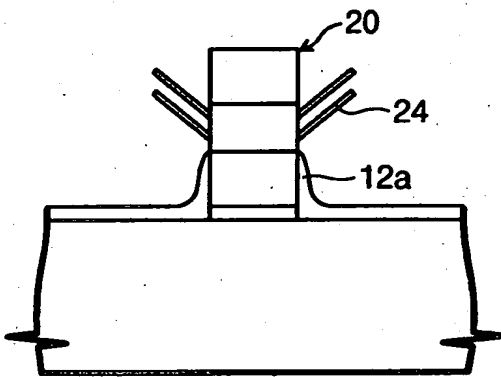
【도 2a】

(종래 기술)

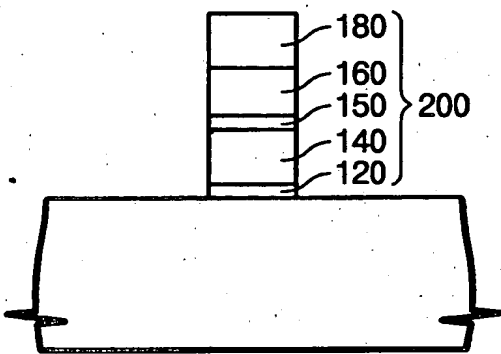


【도 2b】

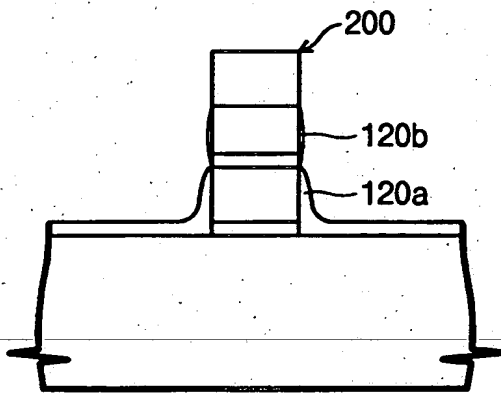
(종래 기술)



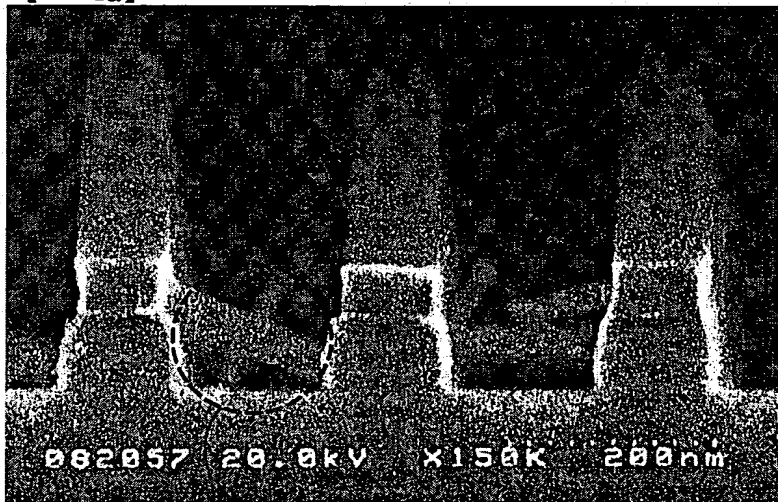
【도 3a】



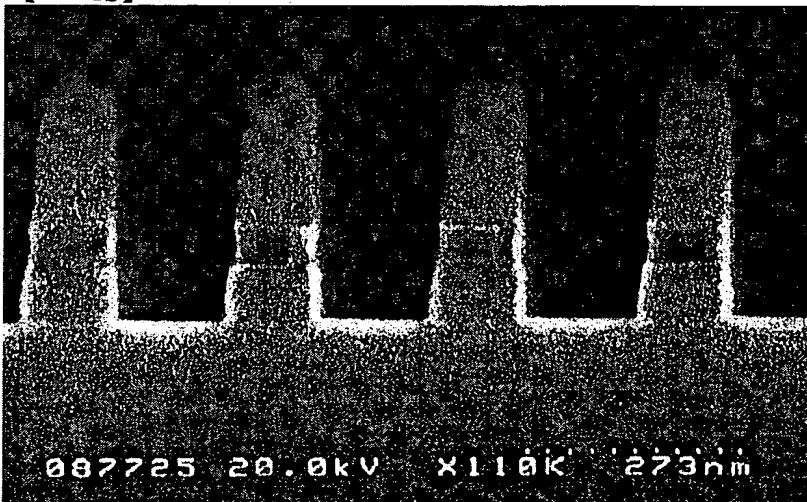
【도 3b】



【도 4a】



【도 4b】



【도 4c】

